

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003164

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

G09G 5/00  
G06F 3/153  
H04N 5/45

(21)Application number : 10-168991

(71)Applicant : NAMCO LTD

(22)Date of filing : 16.06.1998

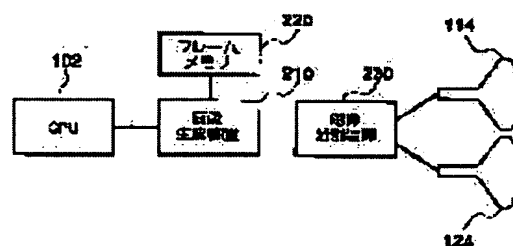
(72)Inventor : TANIYAMA MASAYUKI  
MIURA KATSUHIRO

## (54) PICTURE DISPLAY SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the picture display system in which pictures are generated and transferred to plural displays from a picture generating device.

**SOLUTION:** A picture generating device 210 has a fast operating speed and generates two pictures. The two pictures generated are stored in a frame memory 220. The pictures are read from the memory 220 at the speed which is twice as fast as the speed to display these pictures on a display 114 or a display 124 and transmitted to a picture dividing device 230. Then, the two pictures are separated by a picture dividing device 230, the transmitting speed is reduced to 1/2, converted into video signals and transmitted to the displays 114 and 124, respectively. It is possible to generate a number of screens having more than (m) screens corresponding to m ( $m > 2$ ) displays. In this case, the speed of reading the data from the memory 220 and transmitting data to a picture dividing device is made (m) times faster and the data are separated and transmitted to respective displays by the device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-3164

(P 2000-3164A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09G 5/00	510	G09G 5/00	510 V 5B069
	550		550 P 5C025
			550 R 5C082
G06F 3/153	330	G06F 3/153	330 Z
H04N 5/45		H04N 5/45	
審査請求 未請求 請求項の数 9 O L (全15頁)			

(21) 出願番号 特願平10-168991

(22) 出願日 平成10年6月16日(1998.6.16)

(71) 出願人 000134855

株式会社ナムコ

東京都大田区多摩川2丁目8番5号

(72) 発明者 谷山 昌幸

東京都大田区多摩川2丁目8番5号 株式会社ナムコ内

(72) 発明者 三浦 克宏

東京都大田区多摩川2丁目8番5号 株式会社ナムコ内

(74) 代理人 100077481

弁理士 谷 義一 (外3名)

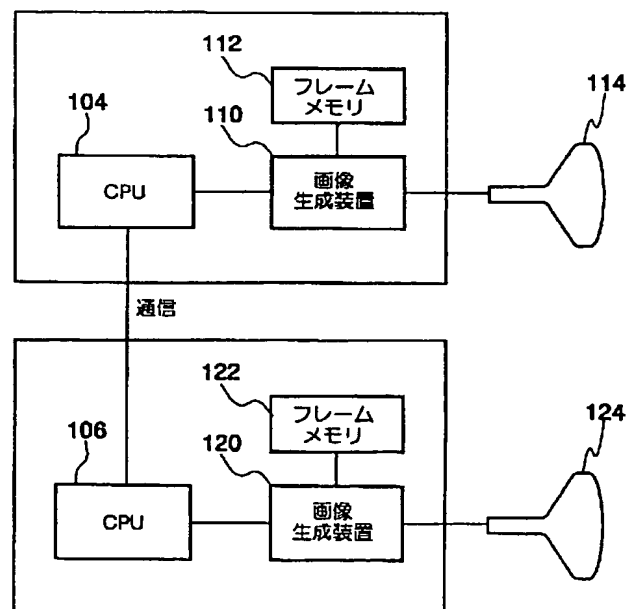
最終頁に続く

(54) 【発明の名称】 画像表示システム

(57) 【要約】

【課題】 一つの画像生成装置から複数のディスプレイに対する画像を生成して転送することのできる画像表示システムの提供。

【解決手段】 画像生成装置210は、動作速度が速く、2つの画像を生成することが可能である。生成した2つの画像は、フレームメモリ220に格納させる。フレームメモリ220からは、ディスプレイ114または124において表示するための速度の2倍の速さで読み出され、画像分割装置230へ送られる。画像分割装置230で2つの画像が分離され、送る速度を1/2とし、映像信号に変換して、それぞれのディスプレイ114および124に送られる。m個(m>2)のディスプレイに対応したm画面以上の画面を生成することも可能である。この場合は、フレームメモリ220から読み出して画像分割装置へ送る速度をm倍とし、画像分割装置でそれぞれのディスプレイへ分離して送る。



## 【特許請求の範囲】

【請求項 1】 1つの画像生成装置から  $m$  個 ( $m \geq 2$ ) のディスプレイに対する画像を表示するための画像表示システムにおいて、

前記画像生成装置から生成した前記各ディスプレイに対応した画像データを記憶するフレームメモリと、  
フレームメモリから前記画像データを読み出す手段と、  
前記フレームメモリから読み出された前記画像データを、前記各ディスプレイに対応した画像データに分離する分離手段と、  
前記分離した画像データを映像信号に変換して前記各ディスプレイに送る手段とを有することを特徴とする画像表示システム。

【請求項 2】 請求項 1 記載の画像表示システムにおいて、

前記フレームメモリは、前記各ディスプレイに対応した画像データを記憶し、  
前記読み出し手段は、複数ドット単位に異なるディスプレイの画像データを連続して読み出すことを特徴とする画像表示システム。

【請求項 3】 請求項 2 記載の画像表示システムにおいて、前記分離手段は、各ディスプレイに対応した  $m$  組のデュアル・ラインバッファを含むことを特徴とする画像表示システム。

【請求項 4】 請求項 2 記載の画像表示システムにおいて、前記分離手段は、各ディスプレイに対応した  $m$  組の FIFO バッファを含むことを特徴とする画像表示システム。

【請求項 5】 請求項 2 記載の画像表示システムにおいて、前記分離手段は、1 個の書込回路と各ディスプレイに対応した  $m$  個の読出回路を有するメモリを含むことを特徴とする画像表示システム。

【請求項 6】 請求項 1 記載の画像表示システムにおいて、

前記フレームメモリは、ドット単位に異なるディスプレイの画像データを記憶し、  
前記読み出し手段は、ドット単位に異なるディスプレイの画像データを連続して読み出し、  
前記分離手段は、ドット単位の画像データを記憶できる  $m$  個のバッファであって、それぞれ異なるタイミングで画像データを読み込むことを特徴とする画像表示システム。

【請求項 7】 請求項 1～6 それぞれに記載の画像表示システムにおいて、  
前記分離手段からの位相を各々ずらした同期信号に基づき、前記各ディスプレイに対応した画像データを分離し、それぞれのディスプレイに表示することを特徴とする画像表示システム。

【請求項 8】 請求項 2～5 それぞれに記載の画像表示システムにおいて、

前記複数ドット単位は、前記各ディスプレイの走査線単位であることを特徴とする画像表示システム。

【請求項 9】 請求項 8 記載の画像表示システムにおいて、

各ディスプレイの同期信号は、走査線の表示期間の  $1/m$  づつずれていることを特徴とする画像表示システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、コンピュータ・ゲーム機等において、一つの画像生成装置から複数のディスプレイに対する画像を生成して転送することのできる画像表示システムに関するものである。

## 【0002】

【発明の背景】コンピュータ・ゲーム機等において、複数例えば 2 つのディスプレイを用いてゲームを行う構成のものがある。このようなゲーム機は、図 1 のように、ディスプレイに対応した画像生成装置 110 および 120 でそれぞれ別の画像を生成してフレーム・メモリ 112 および 122 に記憶し、そのフレーム・メモリから表示のスキュンに同期するように読み出して、対応するディスプレイ 114 および 124 に生成した画像を送っている。

【0003】また、図 2 に示すように、それぞれのゲーム装置 150 および 160 を相互に接続することにより連携を取りながら、一つのゲームを行うことも行われている。このような構成においては、それぞれの画像生成装置 110 および 120 からの画像をそれぞれのディスプレイ 114 および 124 に表示している。

【0004】これでも分かるように、従来の構成では、1 つのディスプレイに対し、1 つの画像生成装置およびフレームバッファが必要である。

## 【0005】

【発明が解決しようとする課題】複数のディスプレイに画像を表示しようとしたとき、従来の方法では画像生成装置などが複数必要となり、部品点数、実装面積の増加等によりコストも増加する。近年、画像生成装置のデータ処理能力の向上により、1 つの画像生成装置から複数のディスプレイに対応した画像を生成することは可能となってきた。1 つの画像生成装置とフレームメモリという従来の構成を用いて、複数のディスプレイにそれぞれ異なる画像を表示することについては、これまで検討されていなかった。

【0006】本発明は、1 つの画像生成装置を用いて生成された複数の画像データを分離し、複数のディスプレイに表示可能な画像表示システムを提供するものである。

## 【0007】

【課題を解決するための手段】上記目的を達成するために、本発明は、1 つの画像生成装置から  $m$  個 ( $m \geq 2$ ) のディスプレイに対する画像を表示するための画像表示

システムにおいて、前記画像生成装置から生成した前記各ディスプレイに対応した画像データを記憶するフレームメモリと、フレームメモリから前記画像データを読み出す手段と、前記フレームメモリから読み出された前記画像データを、前記各ディスプレイに対応した画像データに分離する分離手段と、前記分離した画像データを映像信号に変換して前記各ディスプレイに送る手段とを有することを特徴とする。

【0008】この構成により、1つの画像生成装置から複数のディスプレイに対して画像データを供給することが  
10 ができる。

【0009】前記フレームメモリは、前記各ディスプレイに対応した画像データを記憶し、前記読み出し手段は、複数ドット単位に異なるディスプレイの画像データを連続して読み出している。

【0010】この場合、前記分離手段を、各ディスプレイに対応した $m$ 組のデュアル・ラインバッファとしたり、各ディスプレイに対応した $m$ 組のFIFOバッファとしたり、前記分離手段は、1個の書込回路と各ディスプレイに対応した $m$ 個の読出回路を有するメモリとする  
20 構成が可能である。

【0011】また、前記フレームメモリは、ドット単位に異なるディスプレイの画像データを連続して記憶し、前記読み出し手段は、ドット単位に異なるディスプレイの画像データを連続して読み出し、前記分離手段は、ドット単位の画像データを記憶できる $m$ 個のバッファであって、それぞれ異なるタイミングで画像データを読み込む構成とすることもできる。

【0012】前記分離手段からの位相を各々ずらした同期信号に基づき、前記各ディスプレイに対応した画像データ  
30 を分離し、それぞれのディスプレイに表示することができる。

【0013】また、前記複数ドット単位は、前記各ディスプレイの走査線単位であり、各ディスプレイの同期信号は、走査線の表示期間の $1/m$ づつずれている構成とすることができる。

【0014】

【発明の実施の形態】本発明の実施形態を、図面を参照して詳細に説明する。

【0015】図3は、本発明のシステムの基本的なハードウェアの構成を示し、例えば、ゲーム機において、1つの画像生成装置から2つの画像を生成して2つの別々のディスプレイに表示するための構成を示す図である。

【0016】図3において、CPU102はプログラムにより、ゲーム機全体の制御を行っている。画像生成装置210は2つの画像を生成し、フレームメモリ220に画像データを記憶する。フレームメモリ220から画像データを読み出され、画像分割装置230に送られる。2つの画像に分離され、映像信号に変換して、それぞれのディスプレイ114および124に送られる。な  
50

お、図3のゲーム機等のシステムにおいては、図示してはいないがシステムに必要なその他の構成要素、例えばプレイヤーの操作を伝えるハンドルやアナログコントローラのような入力機器等も接続されている。

【0017】図3においては、2つのディスプレイに対応した2画面分を画像生成装置210で生成する構成で説明したが、これに限らず、 $m$ 個( $m \geq 2$ )のディスプレイに対応した2画面以上の画面を生成することも可能である。この場合は、各ディスプレイに対応した画像データをフレームメモリ220から読み出して画像分割装置に送り、画像分割装置ではそれぞれのディスプレイに画像データを分離して送ることになる。

【0018】このように、1つの画像生成装置により複数のディスプレイに対応した複数の画面を生成すると、構成が簡単になるばかりではなく、例えば、関連のある画面においては、テクスチャ・マッピングを行うときに、関連する画面で画像生成装置が用いる同一のテクスチャデータを従来はそれぞれ別に画像生成装置が持っていたが、個別に持つ必要がないなどの利点がある。

【0019】(フレームメモリの記憶および読み出しの例1)さて、このフレームメモリ220の記憶および読み出しの一例を図4を用いて説明する。

【0020】図4(a)は、図1に示した従来の2つのフレームメモリ112および122に2つのディスプレイに対する画像(例えば、A画面の画像およびB画面の画像)が別々に記憶されている様子を示している。これが図2の本発明の画像生成装置のフレームメモリ220には、図4(b)に示すように、1つの画像生成装置210により生成されたA画面およびB画面の画像が走査線毎に並んで格納されている。図示されているように、2つの画面に対応したメモリ領域は、フレームメモリ上連続して存在している。これを表示速度の2倍の速度で読み出した画像データ列が図4(c)に示されている。ここで、 $A_1 \sim A_{256}$ 、および $B_1 \sim B_{256}$ は画像を構成するドットを表す画像データである。図4(c)から分かるように、A画面の1走査線分(1ライン分:256個)の画像データの次にB画面の1走査線分(1ライン分:256個)の画像データが読み出されている。このように読み出された画像データが画像分割装置230に  
40 送られる。

【0021】(画面分割装置例1)さて、このように、フレームメモリ220から読み出された画像データは、画像分割装置230に送られて、ディスプレイ毎に分割され、映像信号に変換されてそれぞれのディスプレイに送られる。画像分割装置230における画像データの分割について以下図5および図6を用いて詳しく説明する。

【0022】図5は画像分割装置230のなかのバッファの構成の1例を示す図である。この画像分割装置230のバッファは、2組のデュアル・ラインバッファ41

0および420で構成されている。各組のデュアル・ラインバッファは、左右の画面の画像を構成するドットづつの画像データを(256×2)個(2走査線分)格納することができる。各ドットは例えば24ビット(3色×8ビット)で構成されている。

【0023】図5のデュアル・ラインバッファ410において、SW1 432はA画面の画像データが送られているときは、上の接点に接続され、B画面の画像データが送られているときは、下の接点に接続される。SW2 434およびSW3 436は連動して動作し、バッファ412に書き込まれるときは、バッファ414から読みだし、バッファ414に書き込まれるときは、バッファ412から読み出される。デュアル・ラインバッファ420を構成する、SW4 438およびSW5 440と、バッファ422およびバッファ424も同様に、交互に書き込みと読み出しとを切り替えて動作する。

【0024】さて、A画面の画像データが送られている場合(SW1 432の接点は上)、SW2 434が上に接続されているときはSW3 436は下に接続されており、バッファ412には画像データが送られた速度で書き込まれ、バッファ414からは画像データが送られた速度の1/2の速度(ディスプレイの表示速度)で読み出される。SW2 434が下に接続されているときはSW3 436は上に接続され、バッファ412から画像データが書き込み速度の1/2の速度で読み出され、バッファ414には画像データが送られた速度で書き込まれる。

【0025】B画面の画像データが送られている場合は、SW1 432は下の接点に接続され、デュアル・バッファメモリ2 420はB画面の画像データに対して、デュアル・バッファメモリ1と同様の動作を行う。

【0026】デュアル・バッファメモリ1 410はA画面のディスプレイ114への画像を分離して送り、デュアル・バッファメモリ2 420は、B画面のディスプレイ124への画像を分離して送る。この動作を図6を用いて詳しく説明する。

【0027】図6は、1画面の1走査線(1ライン)あたりのデータ数を16として、図5のバッファ構成の動作を説明している。図6(a)は、画像生成装置210から送られてくる画像データを示している。図6(b)はデュアル・ラインバッファ1 410の動作を、図6(c)はデュアル・ラインバッファ2 420の動作を示している。

【0028】まず、画像生成装置210から送られたA画面の画像データ $A_0 \sim A_{15}$ は、デュアル・ラインバッファ1 410の一方のバッファ412に書き込まれる。画像データ $A_0 \sim A_{15}$ をバッファ412に書き込むと、SW1 432の接点は下になり、B画面の画像データ $B_0 \sim B_{15}$ をデュアル・ラインバッファ2 420

0の一方のバッファ422に書き込む。

【0029】次に、SW1 432の接点が上に動き、今度はデュアル・ラインバッファ1 410の他方のバッファ414にA画面の画像データ $A_{16} \sim A_{31}$ を記憶する。このとき、バッファ412に記憶されていた $A_0 \sim A_{15}$ が、表示速度で読み出されてディスプレイ114に送られる。このときの様子が図6(b)である。

【0030】B画面の画像データ $B_{16} \sim B_{31}$ が送られると、SW1 432の接点が下に動き、送られた画像データ $B_{16} \sim B_{31}$ は、デュアル・ラインバッファ2 420の他方のバッファ424に書き込まれる。バッファ422からは記憶されていた $B_0 \sim B_{15}$ が表示速度で読み出され、ディスプレイ124へ送られる。このときの様子は図6(c)に示されている。

【0031】このように2組のデュアル・ラインバッファを用いて、デュアル・ラインバッファの読出バッファと書込バッファとを切り替えて制御することにより、画像生成装置210から2倍の速さで送られてくる連続する2画面のデータを分離することができる。この後、映像信号に変換して、それぞれのディスプレイ114および124に送って表示することができる。画像分割装置230における映像信号への変換は、よく知られている技術なので説明を省略する。

【0032】上述の2組のデュアル・ラインバッファに必要な総容量 $N_t$ は、1画面の走査線を構成するドット数を $n$ とすると、図6の説明から

【0033】

【数1】 $N_t = 4n$

である。

【0034】(画面分割装置例2)画像分割装置230のバッファ構成は、さらに、簡略化、小容量化することができる。この簡略化した構成を図7および図8を用いて説明する。

【0035】図7は、画像分割装置230の他のバッファ構成を示している。このバッファ構成は2つのFIFOバッファ610、620で構成されている。A画面の画像データを記憶するFIFOバッファ610は、書込回路612および読出回路616でメモリ614への書き込みおよび読み出しを制御し、読み出しの2倍の速さで書き込み、映像信号に同期して読み出して、FIFO(ファースト・イン・ファースト・アウト)の機能を実現している。B画面の画像データを記憶するFIFOバッファ620も同様に動作する。

【0036】図7のバッファ構成の動作を図8を用いて、詳しく説明する。図8は図6と同様に、画面の走査線を構成する画像データを、説明の便宜のために16個としている。図8(a)は、画像生成装置210から送られる画像データを示している。これは、図8(a)の画像データと同様のものである。図8(b)は、A画面用のFIFOバッファ610のメモリ614の記憶内容

を示している。図 8 (c) は B 画面用の F I F O バッファ 6 2 0 のメモリ 6 2 4 の記憶内容を示している。

【0037】まず、SW6 632 は上にあり、A 画面用の走査線のための  $A_0$  が送られると、F I F O バッファ 6 1 0 に記憶されると同時に読み出され、ディスプレイ 1 1 4 に送られる。そのときには、次の画像データ  $A_1$  が記憶されている。その  $A_1$  が読み出されるときには、 $A_1$  および  $A_0$  が送られてメモリ 6 1 4 に記憶される。このように、F I F O バッファ 6 1 0 への書き込みが読み出しの 2 倍の速さであるので、図 8 (b) に示しているように、最大 8 個の画像データ  $A_0 \sim A_7$  がメモリ 6 1 4 に蓄積される。

【0038】このとき、SW6 632 は下に切り替わり、図 8 (c) に示すように、B 画面用の画像データ  $B_0$  が送られる。この画像データ  $B_0$  が、F I F O バッファ 6 2 0 に書き込まれると、即座に読み出されてディスプレイ 1 2 4 へ送られる。引き続き送られる B 画面用の画像データ  $B_1 \sim B_7$  も、A 画面の画像データと同様に、F I F O バッファ 6 2 0 に対して読み出しが書き込みの 1/2 倍の速さで行われるように制御される。そして、最大 8 個の画像データ  $B_0 \sim B_7$  が F I F O バッファ 6 2 0 に蓄積される。

【0039】A 画面用の画像データ  $A_0 \sim A_7$  は、B 画面用の画像データ  $B_0 \sim B_7$  が送られているときに、F I F O バッファ 6 1 0 から順次読み出されて、ディスプレイ 1 1 4 に送られている。

【0040】図 8 には図示していないが、次に送られてくる A 画面用の画像データ  $A_8 \sim A_{15}$  および B 画面用の画像データ  $B_8 \sim B_{15}$  も、上述の画像データ  $A_0 \sim A_7$  および  $B_0 \sim B_7$  と同様に、引き続いて F I F O バッファ 6 1 0 および 6 2 0 にそれぞれ書き込みおよび読み出しが行われる。

【0041】この様にして、画像分割装置 230 において、画像生成装置 210 から送られてくる 2 画面分の画像データをそれぞれのディスプレイ 1 1 4 および 1 2 4 に分離して送ることができる。

【0042】この 2 個の F I F O バッファ 6 1 0 および 6 2 0 に必要な総容量  $N_2$  は、1 画面の走査線を構成するドットを  $n$  とすると、図 8 の説明から、

【0043】

$$【数 2】 N_2 = (n/2) \times 2 = n$$

である。これは、デュアル・ラインバッファを用いた上述の画像分割装置例 1 の場合と比較すると、必要なメモリ容量が 1/4 となる。

【0044】(画像分割装置例 3) 画像分割装置 230 のバッファ構成は、さらに、簡略化、小容量化することができる。この簡略化した構成を図 9 および図 10 を用いて説明する。

【0045】図 9 において、1 つのメモリ 814 に対して、1 個の書込回路 812 および 2 個の読出回路 81

6, 818 を設けた画像分割装置 230 のバッファ 810 を示している。書込回路 812 は、読出回路 816 および 818 による読出速度より 2 倍の速度でメモリ 816 に書き込む。読出回路 816 は A 画面に対応した画像データのみの読み出しを表示に同期して行い、ディスプレイ 114 へ読み出した画像データを映像信号に変換して送る。読出回路 818 は B 画面の画像データのみの読み出しを表示に同期して行い、ディスプレイ 124 へ読み出した画像データを映像信号に変換して送る。バッファ 810 は、ある種の F I F O として動作する。この動作を図 10 を用いて以下に詳細の説明する。

【0046】図 10 は図 6 および図 8 と同様に、画面の走査線を構成する画像データを、説明の便宜のために 16 個としている。図 10 (a) は、画像生成装置 210 から送られる画像データを示している。これは、図 6

(a) および図 8 (a) の画像データと同様のものである。図 10 (b) は、バッファ 810 のメモリ 814 の記憶内容および読出回路 816 により読み出される画像データを示している。図 10 (c) は、読出回路 818 からみたメモリ 814 の記憶内容および読出回路 819 により読み出される画像データを示している。

【0047】図 10 (a) に示すように、画像生成装置 210 から A 画面および B 画面の画像データ  $A_0 \sim A_{15}$  および  $B_0 \sim B_{15}$  が連続して送られてくる。その画像データ  $A_0 \sim A_{15}$ 、 $B_0 \sim B_{15}$  は、全て書込回路 812 を介してメモリ 810 に書き込まれる。メモリ 810 に書き込まれた画像データの様子は図 10 (b) に示されている。

【0048】読出回路 816 は、メモリ 814 に書き込まれた A 画面の画像データ  $A_0$  をまず読み出す。読出回路 816 は引き続き  $A_1 \sim A_{15}$  を順次読み出す。B 画面用の画像データ  $B_0 \sim B_{15}$  も、書込回路 812 により、画像データ  $A_0 \sim A_{15}$  に続いて順次書き込まれる。読出回路 818 は、図 10 (c) に示されているように、B 画面のための画像データ  $B_0 \sim B_{15}$  のみをメモリ 814 から順次読み出す。

【0049】図示していないが、引き続き A 画面の画像データ  $A_8 \sim A_{15}$  および B 画面の画像データ  $B_8 \sim B_{15}$  が読み出された後に、書込回路 812 により、メモリ 814 に書き込まれる。これも、上述のように、読出回路 816 および 818 からそれぞれメモリ 814 から読み出される。

【0050】書込回路 812 は読み出されたメモリ箇所を書込対象とすることができるので、図 10 (b) に示すように、メモリ 814 は最大 8 個の画像データの記憶容量があれば足りる。

【0051】バッファ 810 に必要な総容量  $N_3$  は、1 画面の走査線を構成するドットを  $n$  とすると、図 10 の説明から、

【0052】

10

20

30

40

50

【数3】 $N_1 = n/2$

である。これは、デュアル・ラインバッファを用いた上述の実施形態1の場合と比較すると、必要なメモリ容量が $1/8$ となる。

【0053】(フレームメモリの記憶および読み出しの例2) 上記の実施形態においては、図2における画像生成装置210が画像を生成する対象であるフレームメモリ220への記憶の仕方は、走査線ごとに左右の画像を切り替えているとして説明した。しかし、画像生成装置210からフレームメモリ220への画像生成の仕方は、走査線ごとに切り替える必要はない。例えば、走査線の半分ごとに左右の画面を切り替えてもよい。この例を図5を用いて説明する。

【0054】図11は一定のドット数(ここでは4ドット)ごとに、画像データの対応するディスプレイを切り替えて記憶している例を示す。図11(a)は、2つのディスプレイのA画面およびBに対応して画像データを、一定数のドット(ここでは4個)ごとに交互に記憶しているフレームメモリ220の記憶例を示している。図示されているように、2つの画面に対応したメモリ領域は、フレームメモリ上連続して存在している。このフレームメモリ220から連続して読み出される画像データは、図11(b)に示されているように、4ドットごとに対応するディスプレイが異なることになる。

【0055】この画像データは、画像分割装置によりそれぞれのディスプレイに対して分割して送られることになる。この画像データの分離は、上述に説明した図5、図7、および図9に示したバッファ構成と同様な構成により分離することが可能である。分離の動作も図6、図8、および図10と同様である。この場合の分離するためのバッファの容量は、各画面に対応する画像データ数によって同様に定まる。

【0056】(フレームメモリの記憶および読み出し例3) 特に、1ドットずつ交互にフレームメモリ220に記憶する場合のシステム構成を、図12～図14を用いて説明する。

【0057】図12は、画像生成装置210が2つの画面を構成するドットごとに交互にフレームメモリ220に記憶することを示している。このようにフレームメモリ220に記憶している場合は、フレームメモリ220から読み出して画像生成装置210から送られる画像データの列は、図14(a)に示すようにA画面とB画面の画像データが交互に現れる。この画像データはディスプレイに表示される速度の2倍の速さで送られる。このような画像データ列を分離するための画像分割装置230のバッファの構成を図13に示す。

【0058】図13において、バッファ910および920は、クロックパルス $c_1$ 、および $c_1$ により1画像データを記憶するバッファである。このバッファ910および920の動作を図14に示すタイム・チャート

を用いて説明する。

【0059】図14において、図14(a)は、画像生成装置210から送られてくる画像データである。画像生成装置210からは左右の画面に対応する画像データが送られる。この画像データは、例えば画像を構成する1ドット分(例えば、3色×8ビット)のデータである。この画像データは、図14(b)に示されているような、画像データに同期して、 $1/2$ の周期を有し、位相が180度ずれている1組のクロックパルス $c_1$ 、および $c_1$ により、バッファ910および920に書き込まれる。このような動作により、図13のバッファ910にはA画面の画像データが書き込まれ、バッファ920にはB画面の画像データが書き込まれる。バッファ910および920のデータはそれぞれディスプレイ114および124に送られる。

【0060】このようにして、簡単な構成により、1つの画像生成装置により生成した2つの画像を分離して2つのディスプレイに表示することができる。

【0061】(フレームメモリの記憶および読み出し例4) 上述の実施形態においては、2つのディスプレイに対応した2画面分を画像生成装置210で生成する構成で説明したが、これに限らず、 $m$ 個( $m \geq 2$ )のディスプレイに対応した $m$ 画面以上の画面を生成することも可能である。この場合は、フレームメモリ220から読み出して画像分割装置へ送る速度を $m$ 倍とし、画像分割装置でそれぞれのディスプレイへ分離して送ることになる。

【0062】図15は、上述の例として、3つのディスプレイA、B、Cに対応した画像データをフレームメモリに記憶している様子と、そのフレームメモリから読み出した画像データの分割の様子を示している。

【0063】図15(a)において、フレームメモリには、各ディスプレイの走査線毎の画像データが画像生成装置により生成されて、各ディスプレイ毎の領域に順次記憶されている。図示されているように、3つの画面に対応したメモリ領域は、フレームメモリ上連続して存在している。このフレームメモリから読み出された画像データは、図15(b)の(1)に示されているように、各ディスプレイに対応する走査線毎に順次読み出される。この画像データが画像分割装置により3つに分割される様子が、図15(b)の(3)、(5)、および(7)に示されている。この場合、分解するために必要な同期信号は、 $1/3$ 周期ずつずれていることが必要である。

【0064】このように、各ディスプレイ毎にずれて分解する必要があるので、各ディスプレイに対する同期信号も、例えば各走査線毎の水平同期信号( $H_{sync}$ )も、(2)、(4)、および(6)に示すようにずれることになる。

【0065】この様に、複数のディスプレイに対応した



画像データを分解する構成は、例えば、図 5、図 6 に示した 2 画面に対応するバッファ構成は、3 組以上のデュアル・ラインバッファを用いることにより、3 画面以上の場合に拡張することもできる。また、図 7、図 8 に示したバッファ構成では、3 個以上の F I F O バッファを用いて、3 画面以上の場合に拡張することができる。図 9、図 10 の構成では、3 個以上の読出回路を有するバッファを用いて、3 画面以上の場合に拡張することができる。

【0066】このような 3 以上のディスプレイに対応した場合でも、各ディスプレイの走査線と関連づけてフレームバッファに記憶したり、フレームメモリから読み出して分解したりする必要はない。図 11 と同様に、例えば 4 ドット毎にフレームバッファに記憶することもできる。これを分解するための構成も上述の走査線毎の構成と同様である。

【0067】また、図 12～図 14 と同様に、1 ドットずつ異なる 3 以上のディスプレイに対応する画像データをフレームメモリに記憶することも可能である。この場合は、連続してフレームメモリから読み出した画像データを分割するために、図 13 に示した構成において 3 個以上のバッファを用いることにより、3 画面以上の画像データに分解することもできる。この場合、使用するクロックパルスも 3 種類以上用いる必要がある。

【0068】

【発明の効果】上記の説明のように、本発明は、1 つの画像生成装置で複数のディスプレイに対する画像を生成して、各ディスプレイに対して画像データを送ることができる画像表示システムを提供することができる。

【0069】また、各ディスプレイに対して画像データを分離するためのバッファ構成を簡単な構成とすることもできる。

【図面の簡単な説明】

【図 1】従来の 2 画面の画像を生成するための構成を示す図である。

【図 2】従来の 2 画面の画像を生成するための他の構成を示す図である。

【図 3】本発明の概略構成を示す図である。

【図 4】フレームメモリの記憶された画像データを示す図である。

【図 5】画像分割装置に用いられるバッファの構成を示す図である。

【図 6】図 5 に示したバッファの動作を説明する図である。

【図 7】画像分割装置に用いられるバッファの他の構成を示す図である。

【図 8】図 7 に示したバッファの動作を説明する図である。

【図 9】画像分割装置に用いられるバッファの構成を示す図である。

【図 10】図 9 に示したバッファの動作を説明する図である。

【図 11】フレームメモリに記憶された画像データの他の例を示す図である。

【図 12】フレームメモリに記憶された画像データの例を示す図である。

【図 13】画像分割装置に用いられるバッファの構成を示す図である。

【図 14】図 13 のバッファの動作を説明する図である。

【図 15】フレームメモリに記憶された複数ディスプレイに対応する画像データの例を示す図である。

【符号の説明】

102 CPU

110 画像生成装置

112, 122 フレームメモリ

114, 124 ディスプレイ

210 画像生成装置

220 フレームメモリ

230 画像分割装置

410 デュアル・ラインバッファ 1

412, 414 バッファ

420 デュアル・ラインバッファ 2

422, 424 バッファ

432 SW1 (切り替えスイッチ)

434 SW2 (切り替えスイッチ)

436 SW3 (切り替えスイッチ)

438 SW4 (切り替えスイッチ)

440 SW5 (切り替えスイッチ)

610, 620 F I F O バッファ

612, 622 書込回路

614, 624 メモリ

626, 626 読出回路

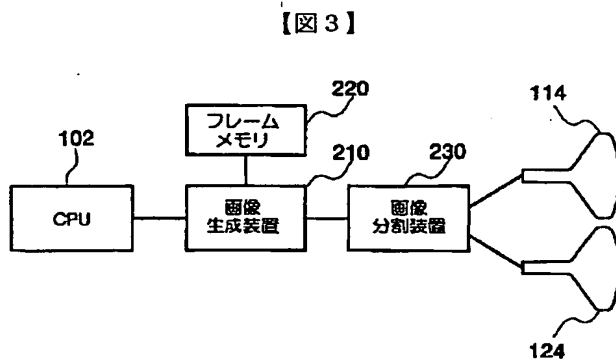
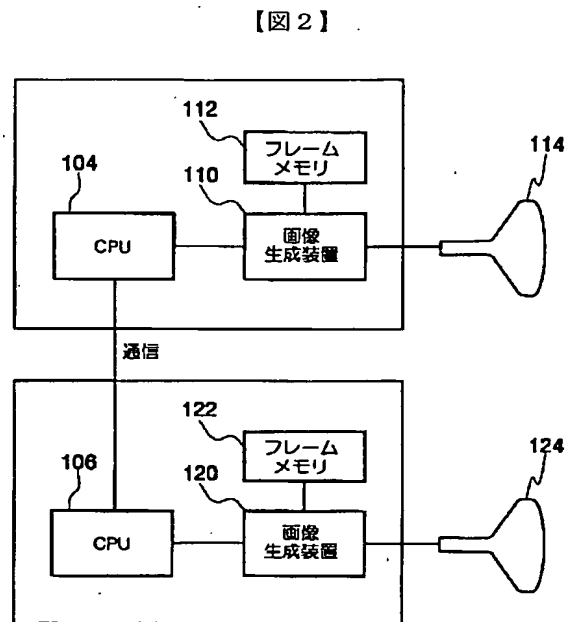
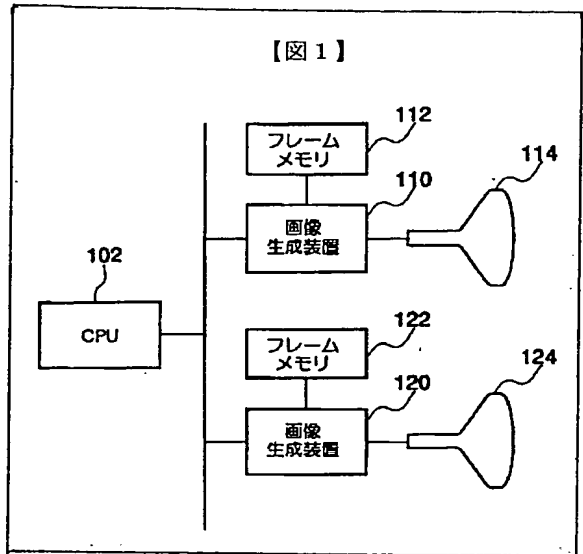
810 バッファ

812 書込回路

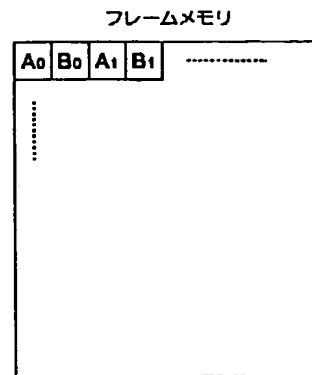
814 メモリ

816, 818 読出回路

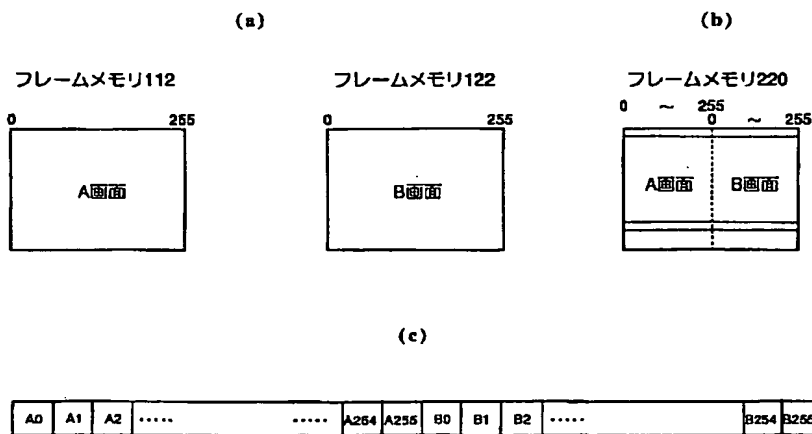
910, 920 バッファ



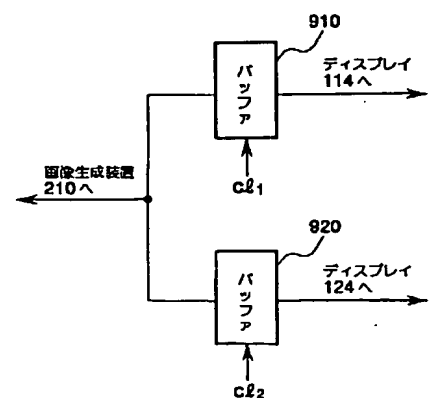
【図 12】



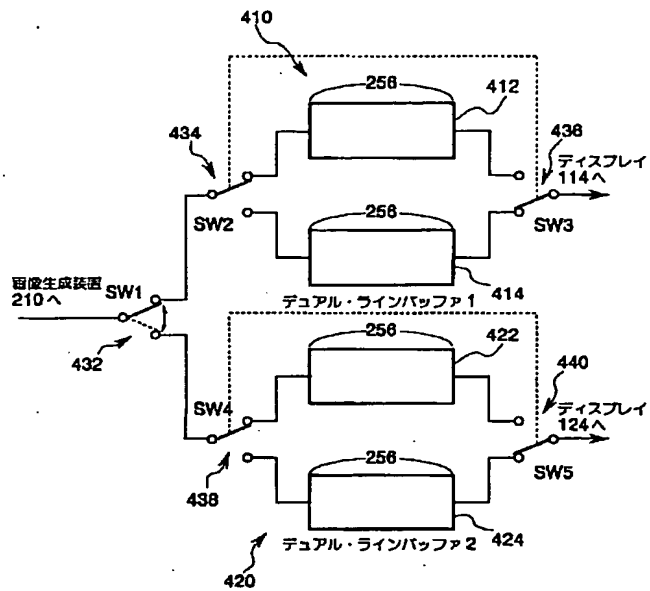
【図 4】



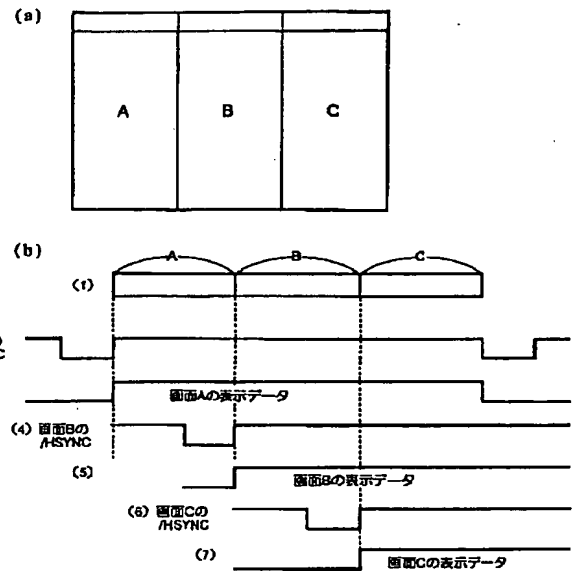
【図 13】



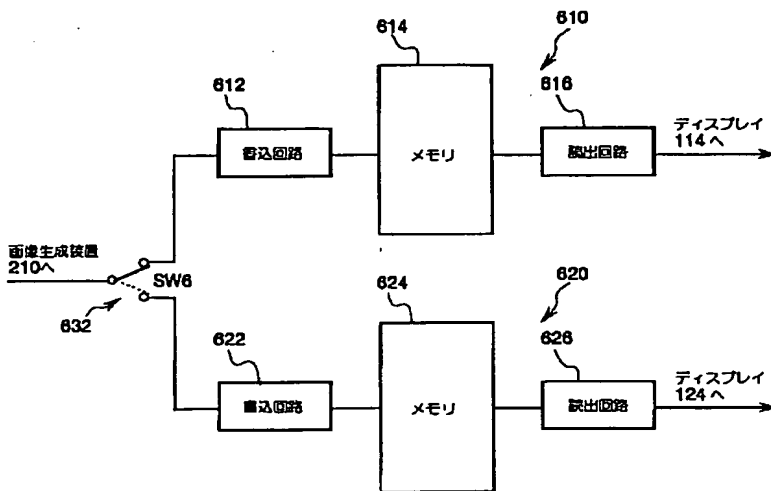
【図 5】



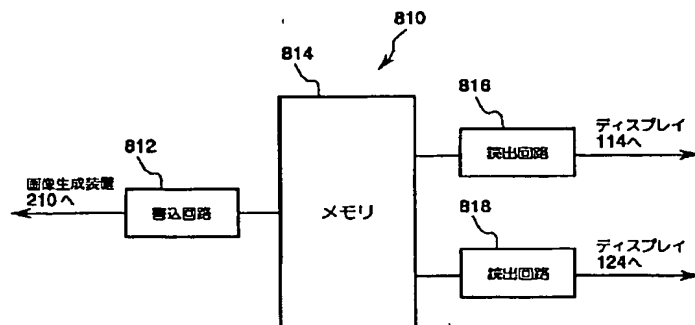
【図 15】



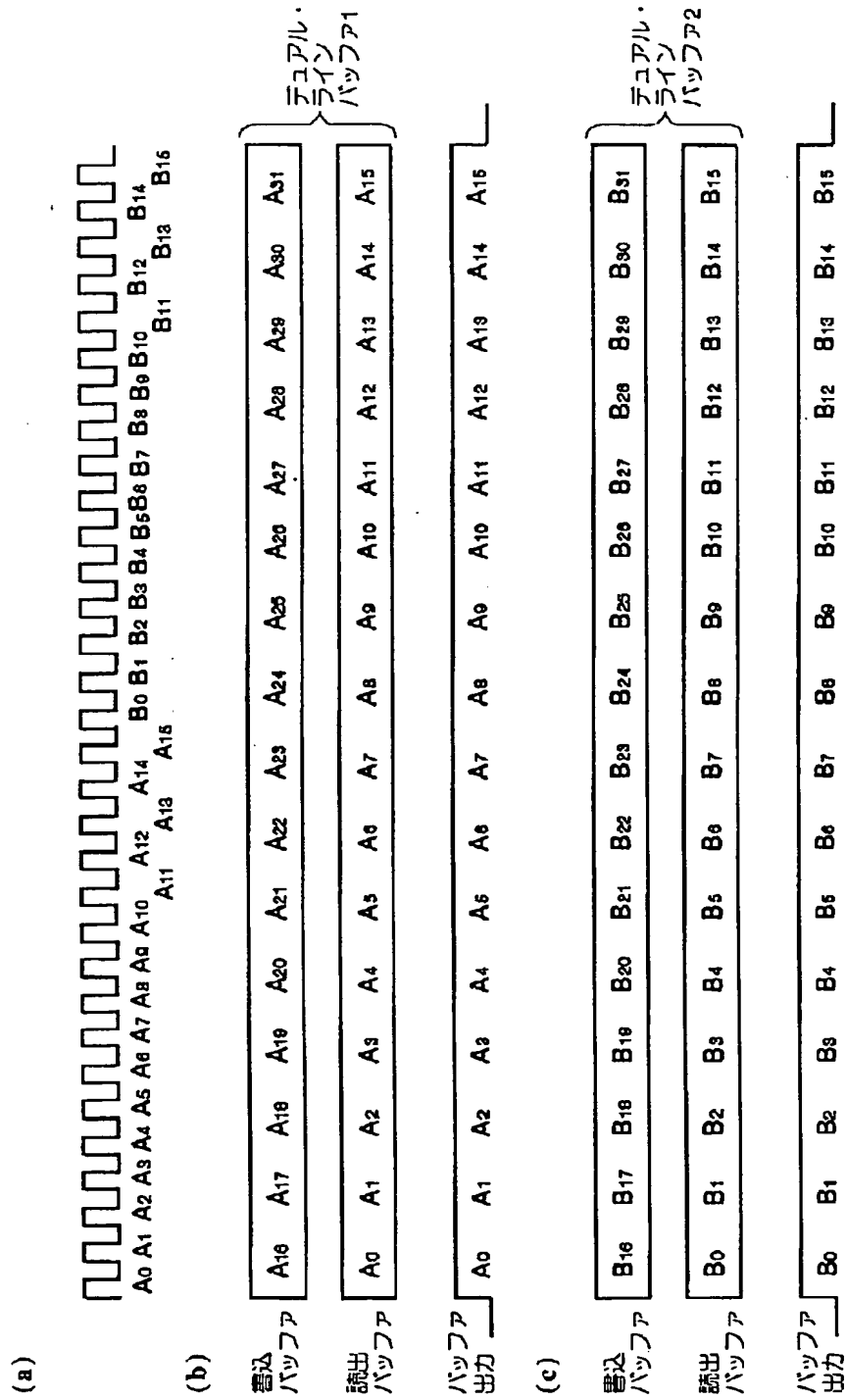
【図 7】



【図 9】



【図 6】



【図 8】

(a)

メモリ614の  
記憶内容

(b)



読出回路616の出力

メモリ624の  
記憶内容

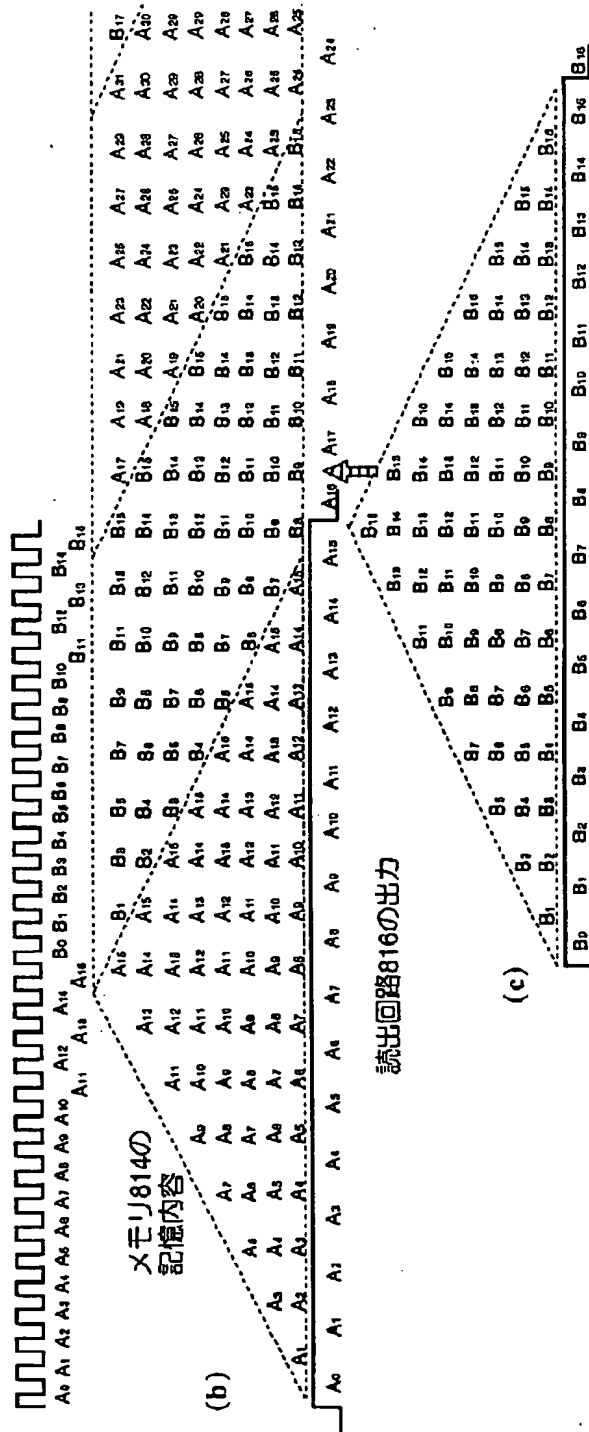
(c)



読出回路626の出力

【図 10】

(a)



(b)

【図 11】

(a)

A	B	A	B	A	B

(b)

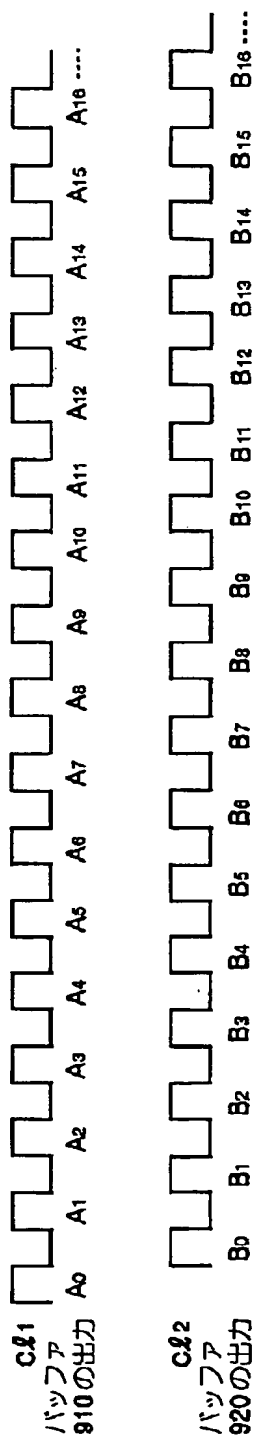
A				B				A				B				
A0	A1	A2	A3	B0	B1	B2	B3	A4	A5	A6	A7	B4	B5	B6	B7	

【図 14】

(a)



(b)





フロントページの続き

Fターム(参考) 5B069 AA01 AA16 BA01 BA04 BC02  
DD10 KA02  
5C025 BA25 BA27 CA02 DA10  
5C082 AA06 AA34 BB15 DA53 DA59  
DA76 MM04 MM07